

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-88146

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁶

H 0 3 K 19/0185

識別記号

F I

H 0 3 K 19/00

1 0 1 B

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平9-239910

(22) 出願日 平成9年(1997) 9月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 二宮 和博

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 内田 敏也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 道地 ひろ子

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 土井 健二 (外1名)

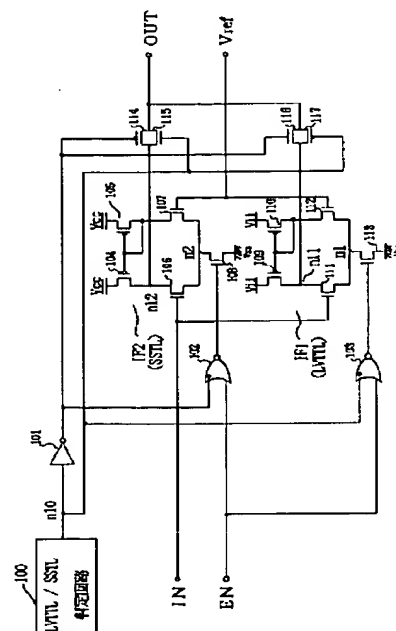
(54) 【発明の名称】 レベルインターフェース回路

(57) 【要約】

【課題】 LVTTLとSSTLの両方のレベルインターフェース回路機能を実現する。

【解決手段】 LVTTLの入力INとレファレンスレベルV_{ref}により動作する第一のインターフェース回路を、内部電源V_{ii}を電源にした差動増幅回路で構成し、SSTLの入力INとレファレンスレベルV_{ref}により動作する第二のインターフェース回路を、外部電源V_{cc}を電源にした差動増幅回路で構成し、LVTTLとSSTLの判定回路の判定結果により、両インターフェース回路の電流源トランジスタを選択的に導通させる。

本発明の実施の形態例のレベルインターフェース回路



【特許請求の範囲】

【請求項 1】 固定電位の H レベル、L レベル及びその中間の第一のレファレンスレベルを有する第一のインターフェースの入力、または、電源電圧に応じて決められた第二のレファレンスレベル、H レベル、L レベルを有する第二のインターフェースの入力が供給され、前記入力と前記レファレンスレベルを比較して出力を生成するレベルインターフェース回路において、

前記入力と第一のレファレンスレベルがそれぞれのゲートに供給され、ソースが共通接続された第一及び第二のトランジスタと、該第一及び第二のトランジスタのソース側に接続された第一の電流源トランジスタと、該第一及び第二のトランジスタのドレインと前記電源電圧より低い固定の内部電圧との間に設けられた第一の負荷回路とを有する第一のインターフェース回路と、

前記入力と第二のレファレンスレベルがそれぞれのゲートに供給され、ソースが共通接続された第三及び第四のトランジスタと、該第三及び第四のトランジスタのソース側に接続された第二の電流源トランジスタと、該第三及び第四のトランジスタのドレインと前記電源電圧との間に設けられた第二の負荷回路とを有する第二のインターフェース回路と、

前記入力と第一のインターフェースのいずれかに対応するかを判定し、それに応じて前記第一または第二の電流源トランジスタを導通する選択回路とを有することを特徴とするレベルインターフェース回路。

【請求項 2】 請求項 1 において、

更に、前記選択回路の判定に応じて、前記第一または第二のトランジスタのドレインまたは第三または第四のトランジスタのドレインを、前記出力が供給される出力端子に接続するスイッチ回路を有することを特徴とするレベルインターフェース回路。

【請求項 3】 請求項 1 において、

更に、前記選択回路の判定に応じて、前記第一のトランジスタのゲートまたは第三のトランジスタのゲートを、前記入力と第一のインターフェースの入力とが供給される入力端子に接続するスイッチ回路を有することを特徴とするレベルインターフェース回路。

【請求項 4】 固定電位の H レベル、L レベル及びその中間の第一のレファレンスレベルを有する第一のインターフェースの入力、または、電源電圧に応じて決められた第二のレファレンスレベル、H レベル、L レベルを有する第二のインターフェースの入力が供給され、前記入力と前記レファレンスレベルを比較して出力を生成するレベルインターフェース回路において、

前記入力とレファレンスレベルがそれぞれのゲートに供給されソースが共通接続された第一及び第二のトランジスタと、該第一及び第二のトランジスタのソース側に接続された電流源トランジスタと、該第一及び第二のトランジスタのドレインにそれぞれ接続された負荷回路と、

前記負荷回路と前記電源電圧との間に設けられた電圧制御用トランジスタとを有し、

前記入力と第一のインターフェースのいずれかに対応するかを判定し、それに応じて前記電圧制御用トランジスタのインピーダンスを高くまたは低くする電圧制御回路を更に有することを特徴とするレベルインターフェース回路。

【請求項 5】 固定電位の H レベル、L レベル及びその中間の第一のレファレンスレベルを有する第一のインターフェースの入力、または、電源電圧に応じて決められた第二のレファレンスレベル、H レベル、L レベルを有する第二のインターフェースの入力が供給され、前記入力と前記レファレンスレベルを比較して出力を生成するレベルインターフェース回路において、

前記入力とレファレンスレベルがそれぞれのゲートに供給されソースが共通接続された第一及び第二のトランジスタと、該第一及び第二のトランジスタのソース側に接続された電流源トランジスタと、該第一及び第二のトランジスタのドレインと前記電源電圧との間にそれぞれ設けられた負荷回路とを有し、

前記入力と第一のインターフェースのいずれかに対応するかを判定し、それに応じて前記電流源トランジスタのインピーダンスを低くまたは高くする選択回路を更に有することを特徴とするレベルインターフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、異なるインターフェース規格の入力とレファレンスレベルに対応することができるレベルインターフェース回路に関する。

【0002】

【従来の技術】 ダイナミック RAM やその他の集積回路装置に対するインターフェースは、従来から LVTTL (Low Voltage Transistor Transistor Logic) が広く利用されてきた。この LVTTL は、5 V 電源電圧による TTL レベルに対して、やや低い 3.3 V の電源電圧を利用した低電圧 TTL レベルである。LVTTL では、H レベルが 2.0 V 以上、L レベルが 0.8 V 以下であることが仕様上義務付けられている。そして、レファレンスレベル V_{ref} は、その中間の 1.4 V に固定される。この LVTTL は、システムのバスは開放端で使用されることから、高速動作のもとではリングによるノイズが大きくなる欠点を有する。

【0003】 そこで、近年において高速動作に適したインターフェースとして SSTL (Series Stub Termination Logic) が提唱されている。この SSTL では、システムのバスを所定の抵抗で終端させて、高速動作時のノイズの発生を防止する。SSTL では、レファレンスレベル V_{ref} は、電源電圧 V_{cc} の 0.45 倍近傍 (0.43 ~ 0.47 倍) のレベルであり、電源電圧の変動に伴

せてレファレンスレベル V_{ref} も変動する。そして、信号のHレベルは、レファレンスレベル V_{ref} から0.2V高いレベルに、信号のLレベルは、レファレンスレベル V_{ref} から0.2V低いレベルに設定される。

【0004】図8は、上記の両インターフェースのLV TTLとSSTLのレベルの関係を示す図である。LV TTLの場合は、上記の通り電源電圧 V_{cc} にかかわらず、レファレンスレベル V_{ref} がグランド V_{ss} から約1.4V高いレベルに設定されていて、一般に集積回路装置内部で生成される。また、SSTLの場合は、レファレンスレベル V_{ref} が電源電圧 V_{cc} の変動に応じて変動し、集積回路装置には外部からレファレンスレベル V_{ref} が供給される。即ち、SSTLの場合は、システムバス全体が、電源 V_{cc} の変動に追従してレファレンスレベル V_{ref} 及び信号のHまたはLレベルも変動するプラットフォームであり、電源電圧の変動に強い。

【0005】図7は、従来のレベルインターフェース回路の例を示す図である。この例では、入力INとレファレンスレベル V_{ref} がゲートに供給されるN型トランジスタQ1、Q2と、それらの共通ソース端子nsとグランド V_{ss} との間に設けられ、イネーブル信号ENにより制御される電流源トランジスタQ3と、更に、トランジスタQ1、Q2のドレインと内部電源 V_{ii} との間にP型トランジスタP1、P2からなる負荷回路を有する。この負荷回路は、カレントミラー回路を構成し、両側の電流値がトランジスタP1、P2の面積に比例した値に制御される。また、内部電源 V_{ii} は電源電圧 V_{cc} から生成される低い電圧であり、電源電圧 V_{cc} の変動の影響を受けない固定電位を有する。出力端子OUTは、トランジスタQ1のドレインに接続され、図示しない後段のCMOS回路に与えられる。

【0006】このレベルインターフェース回路は、外部から与えられる入力INをレファレンスレベル V_{ref} と比較し、入力のHレベルとLレベルに応じて、後段のCMOS回路のレベルに整合したレベルの信号を出力端子OUTに生成する。

【0007】

【発明が解決しようとする課題】しかしながら、上記したレベルインターフェース回路を、例えばLV TTLに適合させて回路設計を行うと、SSTLの入力INとレファレンスレベル V_{ref} に対して、十分な動作マージンを有することができない。

【0008】今仮に、図7に示される通り、内部電源 V_{ii} が負荷回路のP型トランジスタP1、P2のソースに供給されたとすると、LV TTLに対応したレファレンスレベル V_{ref} と入力INがトランジスタQ2、Q1のゲートに供給される場合は、正常に動作する。しかし、トランジスタQ2、Q1のゲートにSSTLに対応したレファレンスレベル V_{ref} と入力INが供給されると、電源電圧 V_{cc} の変動による上昇によりレファレンスレベ

ル V_{ref} ($=V_{cc} \times 0.45$) 及び入力INも上昇し、共通ソースノードnsに対してゲート電圧が高くなりすぎ、トランジスタQ1、Q2が飽和領域で動作する可能性がある。その結果、出力OUTが十分な振幅を有しないことになり、正常な差動回路動作が不可能になる。逆に、電源電圧 V_{cc} の変動による下降により、レファレンスレベル V_{ref} ($=V_{cc} \times 0.45$) 及び入力INも下降し、共通ソースノードnsに対してゲート電圧が低くなりすぎ、トランジスタQ1、Q2が十分導通できない領域で動作する可能性がある。その場合も、出力OUTに適切な振幅を持つ信号を生成できなくなる。

【0009】この様に、電源電圧に依存しないLV TTLのインターフェースと、電源電圧に依存したレベルを有するSSTLのインターフェースとを上記の差動回路で対応することは困難である。

【0010】そこで、本発明の目的は、異なるインターフェースの信号に対応することが可能なレベルインターフェース回路を提供することにある。

【0011】更に、本発明の別の目的は、固定電位のレベルを有するインターフェースと、電源電圧に依存したレベルを有するインターフェースの両方に対応可能なレベルインターフェース回路を提供することにある。

【0012】

【課題を解決するための手段】上記の目的を達成する為に、第一の発明は、固定電位のHレベル、Lレベル及びその中間の第一のレファレンスレベルを有する第一のインターフェースの入力、または、電源電圧に応じて決められた第二のレファレンスレベル、Hレベル、Lレベルを有する第二のインターフェースの入力が供給され、前記入力と前記レファレンスレベルを比較して出力を生成するレベルインターフェース回路において、前記入力と第一のレファレンスレベルがそれぞれのゲートに供給され、ソースが共通接続された第一及び第二のトランジスタと、該第一及び第二のトランジスタのソース側に接続された第一の電流源トランジスタと、該第一及び第二のトランジスタのドレインと前記電源電圧より低い固定の内部電圧との間に設けられた第一の負荷回路とを有する第一のインターフェース回路と、前記入力と第二のレファレンスレベルがそれぞれのゲートに供給され、ソースが共通接続された第三及び第四のトランジスタと、該第三及び第四のトランジスタのソース側に接続された第二の電流源トランジスタと、該第三及び第四のトランジスタのドレインと前記電源電圧との間に設けられた第二の負荷回路とを有する第二のインターフェース回路と、前記入力と第一または第二のインターフェースのいずれかに対応するかを判定し、それに応じて前記第一または第二の電流源トランジスタを導通する選択回路とを有することを特徴とする。

【0013】第一のインターフェース回路は、LV TTLのインターフェースに最適な構成を有し、第二のイン

ターフェース回路は、SSTLのインターフェースに最適な構成を有するので、それぞれ適正なレベルインターフェース機能を提供することができる。

【0014】上記の目的を達成する為に、第二の発明は、固定電位のHレベル、Lレベル及びその中間の第一のレファレンスレベルを有する第一のインターフェースの入力、または、電源電圧に応じて決められた第二のレファレンスレベル、Hレベル、Lレベルを有する第二のインターフェースの入力が供給され、前記入力と前記レファレンスレベルを比較して出力を生成するレベルインターフェース回路において、前記入力とレファレンスレベルがそれぞれのゲートに供給されソースが共通接続された第一及び第二のトランジスタと、該第一及び第二のトランジスタのソース側に接続された電流源トランジスタと、該第一及び第二のトランジスタのドレインにそれぞれ接続された負荷回路と、前記負荷回路と前記電源電圧との間に設けられた電圧制御用トランジスタとを有し、前記入力が第一または第二のインターフェースのいずれかに対応するかを判定し、それに応じて前記電圧制御用トランジスタのインピーダンスを高くまたは低くする電圧制御回路を更に有することを特徴とする。

【0015】上記発明では、負荷回路に印加される電圧が、LVTTLの場合は内部電源と同等の電位となり、SSTLの場合は外部電源と同等となる。従って、実質的に、上記第一の発明と同等の回路を構成することができる。

【0016】上記の目的を達成する為に、第三の発明は、固定電位のHレベル、Lレベル及びその中間の第一のレファレンスレベルを有する第一のインターフェースの入力、または、電源電圧に応じて決められた第二のレファレンスレベル、Hレベル、Lレベルを有する第二のインターフェースの入力が供給され、前記入力と前記レファレンスレベルを比較して出力を生成するレベルインターフェース回路において、前記入力とレファレンスレベルがそれぞれのゲートに供給されソースが共通接続された第一及び第二のトランジスタと、該第一及び第二のトランジスタのソース側に接続された電流源トランジスタと、該第一及び第二のトランジスタのドレインと前記電源電圧との間にそれぞれ設けられた負荷回路とを有し、前記入力が第一または第二のインターフェースのいずれかに対応するかを判定し、それに応じて前記電流源トランジスタのインピーダンスを低くまたは高くする選択回路を更に有することを特徴とする。

【0017】LVTTLに対しては、第一及び第二のトランジスタの共通ソースノードが低めの電位となり、SSTLに対しては同共通ソースノードが高めの電位となり、それぞれのレファレンスレベルV_{ref}に対して、第一及び第二のトランジスタの動作範囲を最適な領域に保つことができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態の例について図面に従って説明する。しかしながら、かかる実施の形態例が本発明の技術的範囲を限定するものではない。

【0019】図1は、本発明の実施の形態例のレベルインターフェース回路を示す図である。この例では、LVTTLの入力INとレファレンスレベルV_{ref}に対応した第一のインターフェース回路IF1と、SSTLの入力INとレファレンスレベルV_{ref}に対応した第二のインターフェース回路IF2とを有する。更に、外部から与えられるレファレンスレベルV_{ref}を検出することによりLVTTLの信号かSSTLの信号かを判定する判定回路100と、その出力n10によりいずれか一方のインターフェース回路IF1、IF2を活性化するインバータ101、NORゲート102、103からなる選択回路とを有する。NORゲート102、103には、入力イネーブル信号ENが入力として与えられる。

【0020】LVTTLの入力INとレファレンスレベルV_{ref}に対応した第一のインターフェース回路IF1は、ゲートに入力INが与えられるN型トランジスタ111とゲートにレファレンスレベルV_{ref}が与えられるN型トランジスタ112とがソース共通接続され、そのソース端子n1とグランドV_{ss}との間に電流源トランジスタ113が設けられる。また、ソース共通のトランジスタ111、112のゲートと内部電源V_{ii}との間には、従来例と同様のP型トランジスタ109、110からなる負荷回路が設けられる。この負荷回路はカレントミラー回路を構成する。そして、トランジスタ111のドレイン端子n11が、トランスファークラップトランジスタ116、117を介して出力端子OUTに接続される。

【0021】一方、SSTLの入力INとレファレンスレベルV_{ref}に対応した第二のインターフェース回路IF2は、ゲートに入力INが与えられるN型トランジスタ106とゲートにレファレンスレベルV_{ref}が与えられるN型トランジスタ107とがソース共通接続され、そのソース端子n2とグランドとの間に電流源トランジスタ108が設けられる。また、ソース共通のトランジスタ106、107のゲートと電源電圧V_{cc}との間には、従来例と同様のP型トランジスタ104、105からなる負荷回路が設けられる。この負荷回路はカレントミラー回路を構成する。そして、トランジスタ106のドレイン端子n12が、トランスファークラップトランジスタ114、115を介して出力端子OUTに接続される。

【0022】LVTTL/SSTL判定回路100は、具体的回路は後述するが、外部から与えられるレファレンスレベルV_{ref}を判定して、LVTTLの場合にLレベル、SSTLの場合にHレベルの出力n10を生成する。従って、LVTTLが検出されると、出力n10の

Lレベルと入力イネーブル信号ENの活性化レベルのLレベルとにより、NORゲート103の出力がHレベルとなり、トランジスタ113が導通し、LV TTL用のインターフェース回路IF1が活性化される。また、SSTLが検出されると、出力n10のHレベルと入力イネーブル信号ENの活性化レベルのLレベルとにより、NORゲート102の出力がHレベルとなり、トランジスタ108が導通し、SSTL用のインターフェース回路IF2が活性化される。

【0023】第一のインターフェース回路IF1は、負荷回路のP型トランジスタ109、110のソースに外部電源Vccの変動に依存しない固定の内部電源Viiが与えられる。その結果、トランジスタ109、110と電源トランジスタ113とのインピーダンス比を、共通ソースノードn1がLV TTLの入力INとレファレンスレベルVrefのレベルに最適なレベルになる様に設定することで、回路の動作マージンを最適にすることができる。即ち、電源電圧Vccの変動に依存しない入力INとレファレンスレベルVrefに対して、同じく電源電圧Vccの変動に依存しない内部電源Viiを使用することで、差動回路を構成するトランジスタ111、112のソースノードn1も固定させることができ、トランジスタ111、112のゲートソース間電圧を最適にし、その動作領域を最適な領域に維持することができる。更に、内部電源Viiが固定電位にあるので、外部電源Vccを使用する場合に比較して、トランジスタ111のドレインノードn11のHレベルとLレベルを、後段の内部のCMOS回路に整合したレベルにすることができる。

【0024】尚、第一のインターフェース回路IF1に外部電源Vccが接続されると、外部電源Vccの変動に伴い、トランジスタ111のドレインノードn11のレベルの変動し、後段のCMOS回路の閾値に整合しない出力となり好ましくない。

【0025】第二のインターフェース回路IF2は、負荷回路のP型トランジスタ104、105のソースに外部電源Vccが与えられる。外部電源Vccは、例えば仕様上は3.0V~3.6Vの変動が許容されている。外部電源Vccが上昇する場合は、負荷回路のトランジスタ104、105のインピーダンスが低下し、ソースノードnsは上昇する。その時、外部電源Vccから生成されるレファレンスレベルVrefと入力INのレベルも同様に上昇するので、差動動作するトランジスタ106、107のゲート・ソース間電圧は電源変動の影響を余り受けずに、最適な動作領域に維持される。その結果、トランジスタ106のドレインノードn12には、後段のCMOS回路の閾値に整合した振幅の信号が生成される。

【0026】一方、外部電源Vccが下降する場合は、負荷回路のトランジスタ104、105のインピーダンスが上昇し、ソースノードnsは下降する。その時、外部電源Vccから生成されるレファレンスレベルVrefと入

力INのレベルも同様に下降するので、差動動作するトランジスタ106、107のゲート・ソース間電圧は電源変動の影響を余り受けずに、最適な動作領域に維持される。その結果、トランジスタ106のドレインノードn12には、後段のCMOS回路の閾値に整合した振幅の信号が生成される。即ち、第二のインターフェース回路IF2は、外部電源Vccの変動に強い特性を有する。従来例で説明した様な、外部電源Vccの変動によりトランジスタ106、107が飽和したりカットオフしたりすることは防止される。

【0027】図2は、図1の実施の形態例の変形例である。図1と同じ部分には同じ引用番号を付している。この例では、入力端子INとインターフェース回路のトランジスタ106、111のゲートとの間に、CMOSトランスファergeート120、121、122、123が設けられ、LV TTL/SSTL判定回路100の出力n10及びその反転信号で制御される。

【0028】判定回路100がLV TTLを検出して出力n10をLレベルにすると、インバータ101の出力はHレベルとなり、N型トランジスタ122とP型トランジスタ123とが導通し、入力INは第一のインターフェース回路IF1のトランジスタ111のゲートに与えられる。その時、トランジスタ120、121からなるトランスファergeートが非導通状態になるので、入力端子INのゲート容量は、トランジスタ106の分だけ少なくなる。トランスファergeートの接合容量は、ゲート容量に比較して小さいので、図2の例では、入力端子INに接続される容量は、図1の例よりも少なくなる。尚、トランスファergeート116、117も、同様に判定回路の出力により導通して、トランジスタ111のドレインノードn11が出力端子OUTに接続される。

【0029】判定回路100がSSTLを検出して出力n10をHレベルにすると、トランスファergeート120、121が導通し、入力端子INが第二のインターフェース回路IF2のトランジスタ106のゲートに接続され、第一のインターフェース回路IF1のトランジスタ111のゲートは切り離される。尚、トランスファergeート114、115も、同様に判定回路の出力により導通して、トランスファergeート106のドレインノードn12が出力端子OUTに接続される。

【0030】〔第二の実施の形態例〕図3は、本発明の第二の実施の形態例のレベルインターフェース回路を示す図である。この例は、ゲートに入力INが与えられるトランジスタ306とゲートにレファレンスレベルVrefが与えられるトランジスタ307とをソース共通接続し、そのソースノードnsとグランドVssとの間に入力イネーブル信号ENが与えられる電流源トランジスタ208を設ける。更に、トランジスタ306、307のドレイン側に、P型トランジスタ304、305からなる負荷回路を接続する。ここまでの構成は、従来例と同等

である。

【0031】更に、本実施の形態例では、負荷回路のトランジスタ304、305のソースノードn31、n32と外部電源Vccとの間に、ソースノードn31、n32の電圧を制御する電圧制御用のP型トランジスタ302、303が設けられる。そして、トランジスタ302、303のゲートは、電圧制御回路301の出力n30で制御される。更に、電圧制御回路301は、LV TTL/SSTL判定回路100の出力n10により制御される。

【0032】今仮に、判定回路100がレファレンスレベルVref からLV TTLを判定したとすると、電圧制御回路301の出力n30は、P型トランジスタ302、303が完全に導通しない動作範囲で動作するレベルに制御される。具体的には、出力n30のレベルは、外部電源Vccから閾値電圧Vth程度低いレベルに制御される。その結果、トランジスタ302、303はある程度の高いインピーダンスを有して導通し、ノードn31、n32は、外部電源Vccより低い電位に制御される。そのため、入力INとレファレンスレベルVref に外部電源Vccの変動に依存しない固定電位が与えられる場合、外部電源Vccの変動による出力OUTへの影響を抑えることができる。

【0033】逆に、判定回路100がレファレンスレベルVref からSSTLを判定したとすると、電圧制御回路301の出力n30は、P型トランジスタ302、303が完全に導通するレベルに制御される。具体的には、出力n30のレベルは、外部電源Vccから閾値電圧Vth以上十分に低いレベル（例えばグラウンドレベル）に制御される。その結果、トランジスタ302、303のインピーダンスは低くなり、実質的に、ノードn31、n32は、外部電源Vccの電位に制御される。したがって、ノードn31、n32には、外部電源Vccの変動がそのまま伝えられる。

【0034】SSTLの場合は、入力INとレファレンスレベルVref が外部電源Vccから決められているので、それらが外部電源Vccの変動と同様に変動しても、トランジスタ306、307の動作範囲が大きく変動することはない。この動作は、図1における第二のインターフェース回路IF2と全く同じである。

【0035】図4は、両インターフェースの判定回路の例を示す図である。この判定回路は、集積回路装置のレファレンスレベル端子42に供給されるレベルを、抵抗401、402で分割したノードn41のレベルと比較することにより、LV TTL又はSSTLの判別を行う。LV TTLのインターフェースの場合は、レファレンスレベル端子42には、外部電源Vccが供給されるか或いはフローティングになる。一方、SSTLのインターフェースの場合は、レファレンスレベル端子42には、外部からレファレンスレベルVref が与えられる。

このレファレンスレベルVref は、外部電源Vccの45%の電位を有する。従って、ノードn41の電位を、SSTLのインターフェースの時に供給されるレファレンスレベルVref と外部電源Vccとの間に設定することで、トランジスタ405、406の差動回路により、端子42に与えられる電位を検出することができる。

【0036】尚、電流源トランジスタ407はゲートに外部電源Vccが与えられ、導通状態にある。また、トランジスタ403、404はカレントミラー回路構成の負荷回路である。トランジスタ406のドレイン端子がインバータ409、410を介して出力n10として出力される。

【0037】今仮に、LV TTLのインターフェースとすると、レファレンスレベル端子42は電源Vccかフローティング状態にあるので、ブルアップ抵抗408により、トランジスタ406のゲートの電位は、レファレンス電位のノードn41よりも高くなる。従って、トランジスタ406のドレインはLレベルとなり、出力n10もLレベルとなる。

【0038】一方、SSTLのインターフェースとすると、レファレンスレベル端子42はレファレンスレベルVref が与えられるので、ノードn41よりも低くなり、トランジスタ406のドレインはHレベルとなり、出力n10もHレベルとなる。

【0039】かくして、判定回路100は、LV TTLの時は出力n10をLレベルにし、SSTLの時は出力n10をHレベルにする。

【0040】図5は、電圧制御回路301の例を示す図である。この回路では、判定回路100の判定出力n10に応じて、抵抗502と503による抵抗分割によりノードn50に生成した電位またはグラウンドVssを出力n30に供給する。即ち、判定回路100が、LV TTLのインターフェースを検出して出力n10をLレベルにすると、トランスファージゲート504、505が導通し、出力n30にノードn50の電位が出力される。一方、判定回路100が、SSTLのインターフェースを検出して出力n10をHレベルにすると、トランスファージゲート506、507が導通し、出力n30にグラウンド電位Vssが出力される。

【0041】そして、図3に戻り、出力n30がノードn50の中間的なレベルの時は、P型トランジスタ302、303はインピーダンスが高い導通状態に制御され、ノードn31、n32は、外部電源Vccよりも低い電位に制御される。しかも、外部電源Vccの変動に応じて、ノードn50の電位も変動するので、ノードn31、n32は内部電源Viiと同等の固定電位となる。一方、出力n30がグラウンドVssの時は、P型トランジスタ302、303はインピーダンスが低い導通状態に制御され、ノードn31、n32は外部電源Vccと同じ電位になる。

【0042】〔第三の実施の形態例〕図6は第三の実施の形態例のレベルインターフェース回路を示す図である。この例は、ゲートに入力INが与えられるトランジスタ206とゲートにレファレンスレベルV_{ref}が与えられるトランジスタ207とがソース共通接続され、そのソースノードn_sに、LVTTTL用の電流源トランジスタ208とSSTL用の電流源トランジスタ209を接続する。そして、トランジスタ206、207のドレインと外部電源V_{cc}との間に、P型トランジスタ204、205からなる負荷回路が設けられる。この負荷回路は、カレントミラー回路である。

【0043】更に、この例では、LVTTTL/SSTL判定回路100の判定出力n10により、電流源トランジスタ208と209が制御される。LVTTTLのインターフェースが検出されるときは、出力n10がLレベルになり、入力イネーブル信号ENが活性状態のLレベルの時に、NORゲート202を介してトランジスタ208が導通する。一方、SSTLのインターフェースが検出されるときは、出力n10がHレベルになり、入力イネーブル信号ENが活性状態のLレベルの時に、NORゲート203を介してトランジスタ209が導通する。

【0044】そして、LVTTTL用の電流源トランジスタ208の導通状態のインピーダンスは、SSTL用の電流源トランジスタ209の導通状態のインピーダンスよりも低くなるよう設計される。その結果、LVTTTL用の電流源トランジスタ208が導通する場合は、ソースノードn_sの電位が、SSTL用の電流源トランジスタ209が導通する場合よりも低くなる。この様に、ソースノードn_sの電位が制御されることにより、それぞれのインピーダンスに適応した差動トランジスタ206、207の動作を保障することができる。

【0045】即ち、インターフェースの仕様上は、LVTTTLの場合のレファレンスレベルV_{ref}は、既に述べた通り1.4V固定である。一方、SSTLの場合のレファレンスレベルV_{ref}は、3.0~3.6Vが許容される外部電源V_{cc}の0.43~0.47倍と規定されている。その為、SSTLの場合のレファレンスレベルV_{ref}は、最高値で1.7V、最低値で1.3Vとなる。従って、総じて、SSTLの場合のレファレンスレベルV_{ref}（1.7~1.3V）がLVTTTLの場合のレファレンスレベルV_{ref}（1.4V）よりも高くなる。

【0046】その為、上記した第三の実施の形態例では、LVTTTLの場合は、トランジスタ208を導通させて低いインピーダンスの電流源トランジスタとし、ソースノードn_sの電位を低く設定する。一方、SSTLの場合は、トランジスタ209を導通させて高いインピーダンスの電流源トランジスタとし、ソースノードn_sの電位を高く設定する。その結果、差動トランジスタ206、207のレファレンスレベルV_{ref}とソースノードn_sとの電位差は、それぞれのレファレンスレベルV_{ref}の電位にかかわらず変動が少なくなる。その結果、レベルインターフェース回路の動作マージンを適正にすることができる。

【0047】

【発明の効果】以上説明した通り、本発明によれば、異なるインターフェースの入力信号及びレファレンスレベルV_{ref}に対応して、動作マージンを適正に保って動作することができるレベルインターフェース回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態例のレベルインターフェース回路を示す図である。

【図2】図1の実施の形態例の変形例である。

【図3】本発明の第二の実施の形態例のレベルインターフェース回路を示す図である。

【図4】インターフェースの判定回路の例を示す図である。

【図5】電圧制御回路の例を示す図である。

【図6】本発明の第三の実施の形態例のレベルインターフェース回路を示す図である。

【図7】従来のレベルインターフェース回路の例を示す図である。

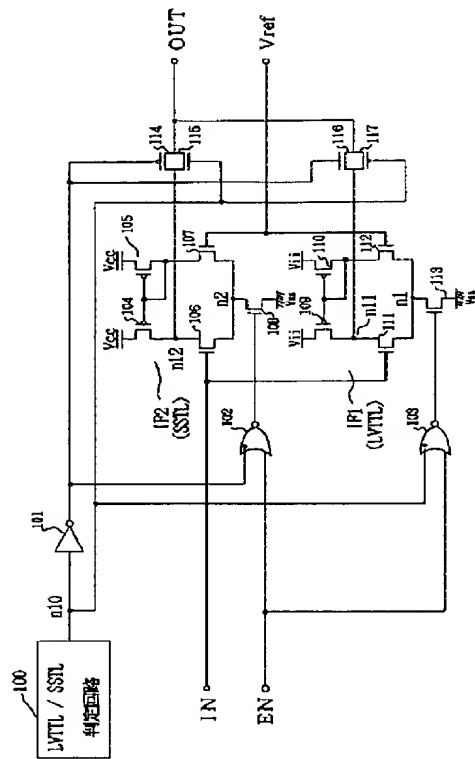
【図8】インターフェースのLVTTTLとSSTLのレベルの関係を示す図である。

【符号の説明】

IF1	第一のインターフェース回路
IF2	第二のインターフェース回路
106, 107	第一、第二のトランジスタ
108	電流源トランジスタ
111, 112	第三、第四のトランジスタ
113	電流源トランジスタ
100	判定回路
302, 303	電圧制御トランジスタ

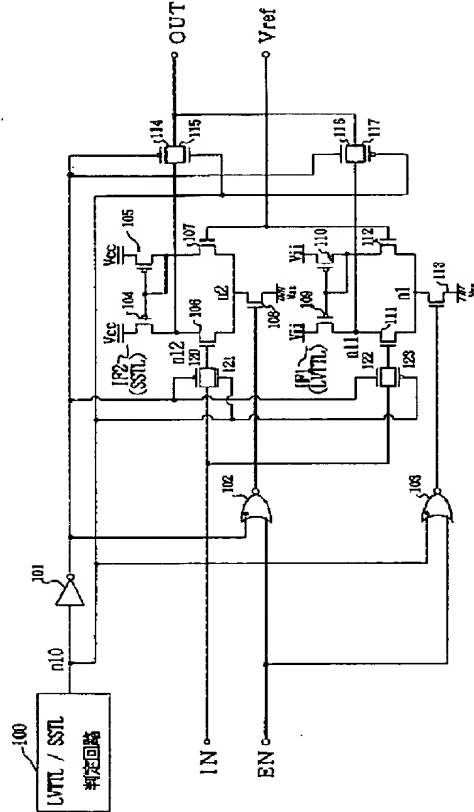
【図1】

本発明の実施の形態例のレベルインターフェース回路



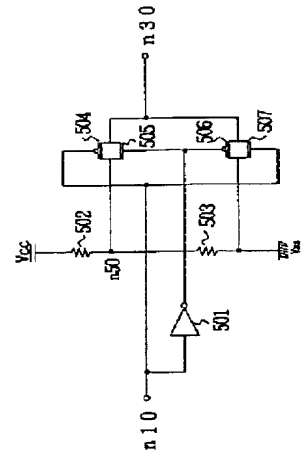
【図2】

図1の変形例



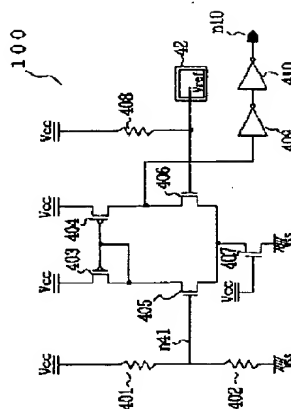
【図5】

電圧制御回路

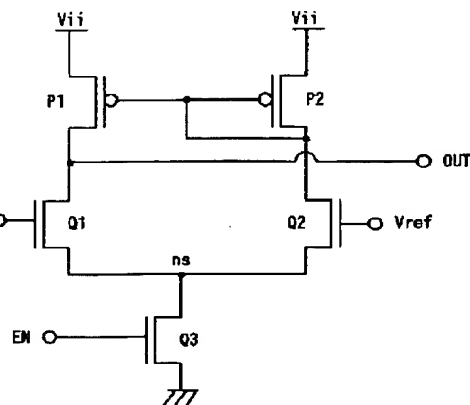


【図4】

LV TTL / SSTL 判定回路

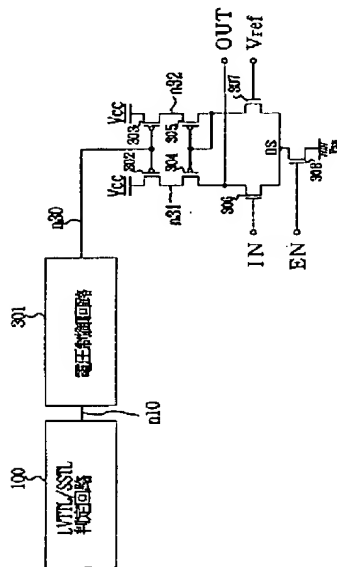


【図7】



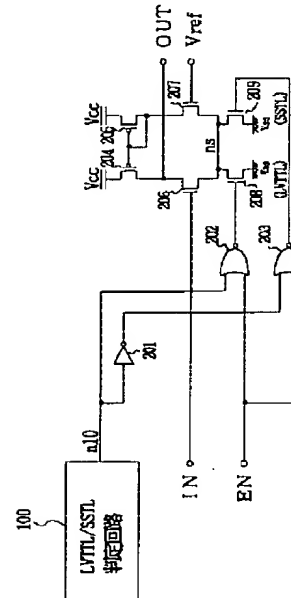
【図 3】

第 2 の実施の形態例のレベルインターフェース回路



【図 6】

第 3 の実施の形態例のレベルインターフェース回路



【図 8】

